

MENU

SEARCH

INDEX

JAPANESE

1 / 1

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-272090

(43)Date of publication of application : 03.12.1991

(51)Int.Cl.

G11C 11/409

(21)Application number : 02-069681

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 22.03.1990

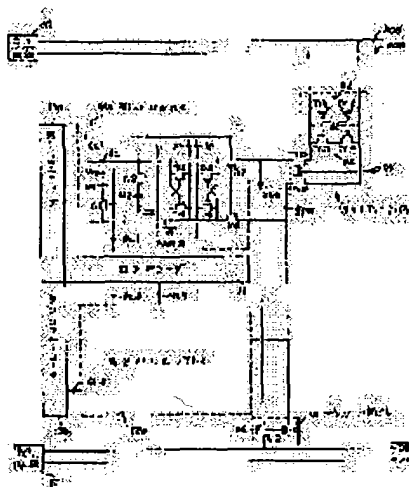
(72)Inventor : SEKINO YOSHIMASA
MURASHIMA YOSHIHIRO

(54) SEMICONDUCTOR MEMORY

(57)Abstract:

PURPOSE: To reduce the pattern area and to improve the degree of integration by providing one set of sub-data bus, read amplifying circuit and write buffer circuit in common to plural memory arrays.

CONSTITUTION: A second memory cell array 12b consists of the same constitution as a first memory cell array 12a constituted of transistors TR1 - TR8 and capacitors M1, M2, an output line CL2 in output lines of a second column decoder 13b is connected, and output signal lines WL3, WL4 in output signal lines of a row decoder 11 are connected. However, as for a sub-data bus, sub-data buses SDB, -SDB being common to a first memory cell array 12a are connected to a second memory cell array 12b. Accordingly, this second memory cell array 12b is connected to a read amplifying circuit 15 and a write buffer circuit 14, as well being common to a first memory cell array 12a through these common sub-data buses SDB, -SDB. In such a way, the pattern area is reduced, and the high integration can be contrived.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平3-272090

⑪ Int. Cl.³

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)12月3日

G 11 C 11/409

8526-5L

G 11 C 11/34

3 5 4 A

審査請求 未請求 請求項の数 2 (全8頁)

⑭ 発明の名称 半導体記憶装置

⑮ 特 願 平2-69681

⑯ 出 願 平2(1990)3月22日

⑰ 発 明 者 関 野 芳 正 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
⑱ 発 明 者 村 島 良 宏 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
⑲ 出 願 人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号
⑳ 代 理 人 弁理士 菊 池 弘

明 細 書

1. 発明の名称

半導体記憶装置

2. 特許請求の範囲

(1) コラムデコードおよびロウデコードにより制御される複数のメモリセルアレイを有し、そのメモリセルアレイのデータ入出力部がサブデータバスおよびリードアンプ回路を介してリードデータバスに接続される一方、ライトデータバスがライトバッファ回路および前記サブデータバスを介して前記メモリセルアレイのデータ入出力部に接続される半導体記憶装置において、

サブデータバス、リードアンプ回路およびライトバッファ回路は、複数のメモリセルアレイに対して共通に一組設けたことを特徴とする半導体記憶装置。

(2) 半導体集積回路化する場合に、2層アルミ配線を用い、1つの層のアルミ配線でロウデコード内の信号線とサブデータバスの一部を形成し、他の層のアルミ配線でサブデータバスの残り部分を

形成することを特徴とする請求項(1)記載の半導体記憶装置。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は半導体記憶装置に関し、詳しくは、ダイナミック型ランダムアクセスメモリのサブデータバス、リードアンプ回路およびライトバッファ回路に関するものである。

(従来の技術)

従来の半導体記憶装置の回路図を第3図に示す。この図において、ロウデコード11の出力信号線(ワード線)のうち、出力信号線WL1、WL2は、第1メモリセルアレイ12a内の一対の1トランジスタ・1キャパシタ型セルのそれぞれのトランスファゲートとしてのNチャンネルトランジスタTr1、Tr2のゲートに接続される。トランジスタTr1のソース・ドレインの一方はビット線BLに接続され、ソース・ドレインの他方はメモリセルキャパシタM1に接続される。さらにキャパシタM1のもう一方の端子は固定電位V_{cp}に接

続される。トランジスタ Tr_2 のソース・ドレインの一方はビット線 BL に、他方はメモリセルキャパシタ M_2 に接続される。さらにキャパシタ M_2 のもう一方の端子は固定電位 V_{cp} に接続される。Nチャンネルトランジスタ Tr_3 およびPチャンネルトランジスタ Tr_5 のゲートはそれぞれビット線 BL に接続され、ドレインはそれぞれビット線 BL に接続され、トランジスタ Tr_3 のソースはセンス用電源 A_1 に、トランジスタ Tr_5 のソースはセンス用電源 B_1 に接続される。Nチャンネルトランジスタ Tr_4 およびPチャンネルトランジスタ Tr_6 のゲートは共にビット線 BL に、ドレインは共にビット線 BL に接続され、トランジスタ Tr_4 のソースはセンス用電源 A_1 に、トランジスタ Tr_6 のソースはセンス用電源 B_1 に接続される。第1コラムデコード $13a$ の出力線のうち出力線 CL_1 の1本はNチャンネルトランジスタ Tr_7 、 Tr_8 のゲートに共に接続され、トランジスタ Tr_7 のソース・ドレインの一方はビット線 BL に、他方はサブデータバス SDB_1 に接

とNチャンネルトランジスタ Tr_{13} のゲートは共にリードデータバス RDB_1 に、トランジスタ Tr_{11} および Tr_{13} のドレインは共にリードデータバス RDB_1 に接続され、トランジスタ Tr_{13} のソースはセンス用電源 A_2 に、トランジスタ Tr_{11} のソースはセンス用電源 B_2 に接続される。また、第1リードアンプ回路 $15a$ 内のPチャンネルトランジスタ Tr_{12} とNチャンネルトランジスタ Tr_{14} はドレインが共にリードデータバス RDB_1 に接続され、ゲートは共にリードデータバス RDB_1 に接続される。さらにトランジスタ Tr_{12} のソースは前記センス用電源 B_2 に、トランジスタ Tr_{14} のソースは前記センス用電源 A_2 に接続される。

第2メモリセルアレイ $12b$ は、トランジスタ $Tr_1 \sim Tr_8$ とキャパシタ M_1 、 M_2 から構成される第1メモリセルアレイ $12a$ と同じ構成であり、ただし、出力線 CL_1 の代りに第2コラムデコード $13b$ の出力線のうち出力線 CL_2 が接続され、出力信号線 WL_1 、 WL_2 の代りにロウデ

続される。トランジスタ Tr_8 のソース・ドレインの一方はビット線 BL に、他方はサブデータバス SDB_1 に接続される。サブデータバス SDB_1 、 SDB_1 は、それぞれ第1ライトバッファ回路 $14a$ 内のNチャンネルトランジスタ Tr_9 、 Tr_{10} のドレイン・ソースの一方に接続され、このトランジスタ Tr_9 、 Tr_{10} のゲートは共にデータバス選択信号線 DS_1 に接続され、同トランジスタ Tr_9 、 Tr_{10} のドレイン・ソースの他方はそれぞれライトデータバス WDB_1 、 WDB_1 に接続される。また、サブデータバス SDB_1 、 SDB_1 は、第1リードアンプ回路 $15a$ 内のNチャンネルトランジスタ Tr_{15} 、 Tr_{16} のドレイン・ソースの一方に接続され、このトランジスタ Tr_{15} 、 Tr_{16} のゲートは共にリードアンプ選択信号線 RD_1 に接続され、同トランジスタ Tr_{15} 、 Tr_{16} のドレイン・ソースの他方はそれぞれリードデータバス RDB_1 、 RDB_1 に接続される。また、第1リードアンプ回路 $15a$ 内のPチャンネルトランジスタ Tr_{11}

コード 11 の出力信号線のうち出力信号線 WL_3 、 WL_4 が接続される。

第2ライトバッファ回路 $14b$ は、トランジスタ Tr_9 、 Tr_{10} から構成される第1ライトバッファ回路 $14a$ と同じ構成であり、ただし、サブデータバス SDB_1 、 SDB_1 の代りにそれぞれサブデータバス SDB_2 、 SDB_2 が接続され、ライトデータバス WDB_1 、 WDB_1 の代りにそれぞれライトデータバス WDB_2 、 WDB_2 が、また、データバス選択信号線 DS_1 の代りにデータバス選択信号線 DS_2 が接続される。

第2リードアンプ回路 $15b$ は、トランジスタ $Tr_{11} \sim Tr_{16}$ から構成される第1リードアンプ回路 $15a$ と同じ構成であり、ただし、リードアンプ選択信号線 RD_1 の代りにリードアンプ選択信号線 RD_2 が、サブデータバス SDB_1 、 SDB_1 の代りにそれぞれサブデータバス SDB_2 、 SDB_2 が、リードデータバス RDB_1 、 RDB_1 の代りにそれぞれリードデータバス RDB_2 、 RDB_2 が接続される。

また、リードデータバス $RDB1$, $RDB1$, $RDB2$, $RDB2$ は、リードデータバス $RDB1$ と $RDB1$ を一対、リードデータバス $RDB2$ と $RDB2$ を一対として、出力バッファ回路16に接続される。また、ライトデータバス $WDB1$, $WDB1$, $WDB2$, $WDB2$ は、ライトデータバス $WDB1$ と $WDB1$ を一対、ライトデータバス $WDB2$ と $WDB2$ を一対として、入力バッファ回路17に接続される。

このように構成された装置の動作を説明する。まず、リード時の動作を第4図を用いて説明する。ロウデコード11により出力信号線 $WL1$ が選択されたとすると、出力信号線 $WL1$ は“L”から“H”になり、トランジスタ $Tr1$ がオンする。キャパシタ $M1$ に“L”が書き込まれていたとすると、トランジスタ $Tr1$ のオンにより、キャパシタ $M1$ とビット線 BL の間で電荷の再配分が行われ、この時、ビット線 BL 上での減少分を ΔV とする。ビット線 BL , BL は初期状態で共に“L”と“H”の中間レベルとして $\frac{1}{2}V_{cc}$ レベルである

同様に $\frac{1}{2}V_{cc}$ が初期値であると、リードデータバス $RDB1$ の方がリードデータバス $RDB1$ より高電位になる。また、初期状態で $\frac{1}{2}V_{cc}$ レベルであったセンス用電源 $A2$, $B2$ が、センス用電源 $A2$ は“L”に、センス用電源 $B2$ は“H”になるとする。すると、トランジスタ $Tr13$ と $Tr14$ ではトランジスタ $Tr14$ の方が、トランジスタ $Tr11$ と $Tr12$ ではトランジスタ $Tr11$ の方が駆動能力が高くなり、最終的にリードデータバス $RDB1$ は“H”に、リードデータバス $RDB1$ は“L”になり、出力バッファ回路16にデータが伝達される。このようにリードアンプ回路は、ビット線からサブデータバスを介して伝達された電位差を増幅して、高気積化により負荷の重くなったリードデータバスを駆動する働きを持つ。

一方、ライト時は、入力バッファ回路17によりデータがライトデータバス $WDB1$, $WDB1$ に伝達される。今、この伝達によりライトデータバス $WDB1$ が“H”、ライトデータバス

とすると、ビット線 BL は $(\frac{1}{2}V_{cc} - \Delta V)$ のレベルになる。次に、初期状態で $\frac{1}{2}V_{cc}$ レベルであったセンス用電源 $A1$, $B1$ が、センス用電源 $A1$ は“L”に、センス用電源 $B1$ は“H”になる。この時、ビット線 BL はビット線 BL より ΔV 分電位が低いので、トランジスタ $Tr3$ と $Tr4$ ではトランジスタ $Tr4$ の方が、またトランジスタ $Tr5$ と $Tr6$ ではトランジスタ $Tr5$ の方が駆動能力が高くなり、ビット線 BL は“H”に、ビット線 BL は“L”になる。次に、第1コラムデコード13aにより出力線 $CL1$ が選択されると、トランジスタ $Tr7$, $Tr8$ がオンし、ビット線 BL , BL のデータがサブデータバス $SDB1$, $SDB1$ に伝達される。サブデータバス $SDB1$, $SDB1$ の初期値を $\frac{1}{2}V_{cc}$ とすると、初期値の $\frac{1}{2}V_{cc}$ からサブデータバス $SDB1$ は“H”に、逆にサブデータバス $SDB1$ は“L”になる。リードアンプ選択信号線 $RD1$ が“H”になると、サブデータバス $SDB1$, $SDB1$ のデータはリードデータバス $RDB1$, $RDB1$ に伝達される。

$WDB1$ が“L”になるとする。データバス選択信号線 $DS1$ が選択されたとすると、データバス選択信号線 $DS1$ は“L”から“H”になり、第1ライトバッファ回路14a内のトランジスタ $Tr9$, $Tr10$ がオンし、ライトデータバス $WDB1$, $WDB1$ のデータがサブデータバス $SDB1$, $SDB1$ に伝達される。第1コラムデコード13aにより出力線 $CL1$ が選択され“L”から“H”になると、トランジスタ $Tr7$, $Tr8$ がオンし、データがビット線 BL , BL に伝達される。この時、ロウデコード11により既にワード線は選択され、リード時と同じ動作をすることで、ビット線 BL と BL はどちらか一方が“H”、他方が“L”になっている。ここで、前記のようにサブデータバス $SDB1$, $SDB1$ からデータが伝達され、ビット線 BL , BL のデータはサブデータバス $SDB1$, $SDB1$ のデータに書きかわり、ライト動作が終了する。このようにライトバッファ回路は、ライトデータバスに接続するうちの1組のサブデータバスを選択し、ライトデー

タバスからサブデータバスにデータを伝達する働きをする。

(発明が解決しようとする課題)

しかしながら、以上のような従来の半導体記憶装置では、各メモリセルアレイごとにサブデータバスが独立になっているため、サブデータバスごとにリードアップ回路、ライトバッファ回路が多数必要となる。しかし、リードアップ回路、ライトバッファ回路は、接続されるメモリセルアレイが選択された時のみ動作をするため、多数あるリードアップ回路、ライトバッファ回路のうちの動作上必要なのは1つだけであり、それにも係わらず上記のようにリードアップ回路とライトバッファ回路を多数必要とすることは、この半導体記憶装置を集積回路化した場合に大きなパターン面積を必要とし、集積度を上げられない原因となる。

この発明は上記の点に鑑みなされたもので、パターン面積を縮小し集積度を上げることできる半導体記憶装置を提供することを目的とする。

(課題を解決するための手段)

メモリセルアレイごとのサブデータバスを相互に接続する配線部分が必要となるが、2層アルミ配線を用いれば、1層目アルミ配線でロウデコード内の信号線とともにメモリセルアレイ毎のサブデータバスを形成し、2層目のアルミ配線でメモリセルアレイ毎のサブデータバスを相互に接続する配線部分を形成することにより、ポリシリコンやポリサイド配線など抵抗値が高くて高速化に不向きな配線材料を用いることなくサブデータバスが共通化される。

(実施例)

以下この発明の一実施例を図面を参照して説明する。第1図はこの発明の一実施例を示す回路図であり、図中第3図と同一部分には第3図と同一符号を付してある。

この第1図において、11はロウデコードで、その出力信号線(ワード線)のうち、出力信号線WL1、WL2は、第1メモリセルアレイ12a内の一対の1トランジスタ・1キャパシタ型セルのそれぞれのトランスファゲートとしてのNチャ

ネルトランジスタTr1、Tr2のゲートに接続される。トランジスタTr1のソース・ドレインの一方はビット線BLに接続され、ソース・ドレインの他方はメモリセルキャパシタM1に接続される。さらにキャパシタM1のもう一方の端子は固定電位Vcpに接続される。トランジスタTr2のソース・ドレインの一方はビット線BLに、他方はメモリセルキャパシタM2に接続される。さらにキャパシタM2のもう一方の端子は固定電位Vcpに接続される。NチャネルトランジスタTr3およびPチャネルトランジスタTr5のゲートはそれぞれビット線BLに接続され、ドレインはそれぞれビット線BLに接続され、トランジスタTr3のソースはセンス用電源A1に、トランジスタTr5のソースはセンス用電源B1に接続される。NチャネルトランジスタTr4およびPチャネルトランジスタTr6のゲートは共にビット線BLに、ドレインは共にビット線BLに接続され、トランジスタTr4のソースはセンス用電源A1に、トランジスタTr6のソースはセンス用電

この発明は、複数のメモリセルアレイ、サブデータバス、リードアップ回路、ライトバッファ回路を有する半導体記憶装置において、サブデータバス、リードアップ回路およびライトバッファ回路は、複数のメモリセルアレイに対して共通に一組設けるようにしたものである。

(作用)

上記この発明においては、サブデータバス、リードアップ回路およびライトバッファ回路は必要最小限の一組のみとなるので、半導体集積回路化する場合にパターン面積は小さくてすみ、高集積化を図れる。

また、サブデータバスを複数のメモリセルアレイに対して共通化する場合、第3図の従来のメ

源B1に接続される。第1コラムデコード13aの出力線のうち出力線CL1の1本はNチャンネルトランジスタTr7, Tr8のゲートに共に接続され、トランジスタTr7のソース・ドレインの一方はビット線BLに、他方はサブデータバスSDBに接続される。トランジスタTr8のソース・ドレインの一方はビット線BLに、他方はサブデータバスSDBに接続される。サブデータバスSDB, SDBは、それぞれライトバッファ回路14内のNチャンネルトランジスタTr9, Tr10のドレイン・ソースの一方に接続され、このトランジスタTr9, Tr10のゲートは共にデータバス選択信号線DSに接続され、同トランジスタTr9, Tr10のドレイン・ソースの他方はそれぞれライトデータバスWDB, WDBに接続される。また、サブデータバスSDB, SDBは、リードアンプ回路15内のNチャンネルトランジスタTr15, Tr16のドレイン・ソースの一方に接続され、このトランジスタTr15, Tr16のゲートは共にリードアンプ選択信号線RDに接続

される第1メモリセルアレイ12aと同じ構成であり、ただし、出力線CL1の代りに第2コラムデコード13bの出力線のうち出力線CL2が接続され、出力信号線WL1, WL2の代りにロウデコード11の出力信号線のうち出力信号線WL3, WL4が接続される。しかし、サブデータバスに関しては、第1メモリセルアレイ12aと共通のサブデータバスSDB, SDBが第2メモリセルアレイ12bに接続される。したがって、この第2メモリセルアレイ12bは、この共通のサブデータバスSDB, SDBを介して、第1メモリセルアレイ12aと共通のリードアンプ回路15およびライトバッファ回路14にも接続されることになる。

また、リードデータバスRDB, RDBは出力バッファ回路16に、ライトデータバスWDB, WDBは入力バッファ回路17に接続される。

このように構成された装置の動作を説明する。まず、リード時の動作を第2図を用いて説明する。ロウデコード11により出力信号線WL1が選択

され、同トランジスタTr15, Tr16のドレイン・ソースの他方はそれぞれリードデータバスRDB, RDBに接続される。また、リードアンプ回路15内のPチャンネルトランジスタTr11とNチャンネルトランジスタTr13のゲートは共にリードデータバスRDBに、トランジスタTr11およびTr13のドレインは共にリードデータバスRDBに接続され、トランジスタTr13のソースはセンス用電源A2に、トランジスタTr11のソースはセンス用電源B2に接続される。また、リードアンプ回路15内のPチャンネルトランジスタTr12とNチャンネルトランジスタTr14はドレインが共にリードデータバスRDBに接続され、ゲートは共にリードデータバスRDBに接続される。さらにトランジスタTr12のソースは前記センス用電源B2に、トランジスタTr14のソースは前記センス用電源A2に接続される。

第2メモリセルアレイ12bは、トランジスタTr1~Tr8とキャパシタM1, M2から構成さ

されたとすると、出力信号線WL1は“L”から“H”になり、トランジスタTr1がオンする。キャパシタM1に“L”が書き込まれていたとすると、トランジスタTr1のオンにより、キャパシタM1とビット線BLの間で電荷の再配分が行われ、この時、ビット線BL上での減少分を ΔV とする。ビット線BL, BLは初期状態で共に“H”と“L”の中間レベルとして $\frac{1}{2}V_{cc}$ レベルであるとする。ビット線BLは $(\frac{1}{2}V_{cc} - \Delta V)$ のレベルとなる。次に、初期状態で $\frac{1}{2}V_{cc}$ レベルであったセンス用電源A1, B1が、センス用電源A1は“L”、センス用電源B1は“H”になり、この時ビット線BLはビット線BLより ΔV 分電位が低いため、トランジスタTr3とTr4ではトランジスタTr4の方が、トランジスタTr5とTr6ではトランジスタTr5の方が駆動能力が高くなり、ビット線BLは“H”に、ビット線BLは“L”になる。次に、第1コラムデコード13aにより出力線CL1が選択されると、トランジスタTr7, Tr8がオンし、ビット線BL,

\overline{BL} のデータがサブデータバスSDB、 \overline{SDB} に伝達される。サブデータバスSDB、 \overline{SDB} の初期値を $\frac{1}{2}V_{cc}$ とすると、初期値の $\frac{1}{2}V_{cc}$ からサブデータバスSDBは“H”に、逆にサブデータバス \overline{SDB} は“L”になる。リードアンプ選択信号線RDが“H”になると、サブデータバスSDB、 \overline{SDB} のデータはリードデータバスRDB、 \overline{RDB} に伝達される。同様に $\frac{1}{2}V_{cc}$ が初期値であると、リードデータバスRDBの方がリードデータバス \overline{RDB} より高電位になる。また、初期状態で $\frac{1}{2}V_{cc}$ レベルだったセンス用電源A2、B2が、センス用電源A2は“L”に、センス用電源B2は“H”になるとする。すると、トランジスタTr13とTr14ではトランジスタTr14の方が、トランジスタTr11とTr12ではトランジスタTr11の方が駆動能力が高くなり、最終的にリードデータバスRDBは“H”に、リードデータバス \overline{RDB} は“L”になり、出力バッファ回路16にデータが伝達される。

一方、ライト時は、入力バッファ回路17によ

りデータがライトデータバスWDB、 \overline{WDB} に伝達される。いま、この伝達によりライトデータバスWDBが“H”、ライトデータバス \overline{WDB} が“L”になるとする。データバス選択信号線DSが選択されたとすると、データバス選択信号線DSは“L”から“H”になり、ライトバッファ回路14内のトランジスタTr9、Tr10がオンし、ライトデータバスWDB、 \overline{WDB} のデータがサブデータバスSDB、 \overline{SDB} に伝達される。第1コラムデコード13aにより出力線CL1が選択され“L”から“H”になると、トランジスタTr7、Tr8がオンし、データがビット線BL、 \overline{BL} に伝達される。この時、ロウデコード11により既にワード線は選択され、リード時と同じ動作をすることで、ビット線BLと \overline{BL} はどちらか一方が“H”に、他方が“L”になっている。ここで、前記のようにサブデータバスSDB、 \overline{SDB} からデータが伝達され、ビット線BL、 \overline{BL} のデータはサブデータバスSDB、 \overline{SDB} のデータに書きかわり、ライト動作が終了する。

このような第1メモリセルアレイ12aのリード・ライト時、第2メモリセルアレイ12bではサブデータバスは第1メモリセルアレイ12aと共用になっているため動作しているが、出力線CL2、出力信号線WL3、WL4が非選択であるため、第2メモリセルアレイ12bは動作していない。第2メモリセルアレイ12bは、出力信号線WL3、WL4、出力線CL2が選択された時、第1メモリセルアレイ12aと同様に動作する。

さて、DRAMでは、高速動作が要求されるため、ロウデコードにより1本のワード線が選択される時間と、ビット線からサブデータバスそしてサブデータバスからリードアンプ回路へデータが転送されてゆく時間をできるだけ短くする必要がある。そのため、各配線は抵抗値の低い材料を用いる必要がある。ところで、第1図のようにサブデータバスを第1、第2メモリセルアレイ12a、12bで共通化するには、第3図の従来のメモリセルアレイごとのサブデータバスを相互に接続す

る配線部分が必要となるが、1層Al配線プロセスでは、ロウデコード内の信号線とメモリセルアレイごとのサブデータバスにAl配線を使用すると、メモリセルアレイごとのサブデータバスを相互に接続する配線部分には抵抗値の高いポリシリコンもしくはポリサイド配線材料を用いなければならず、高速化を阻害することになる。

そこで、この発明の一実施例では、2層Al配線を使用する。そして、1層目Al配線でロウデコード11内の信号線と共にサブデータバスSDB、 \overline{SDB} の一部(第3図のメモリセルアレイ毎のサブデータバスに対応する部分)を形成し、2層目Al配線でサブデータバスSDB、 \overline{SDB} の残り部分(第3図のメモリセルアレイ毎のサブデータバスを相互に接続する部分)を形成する。このようにすることにより、高抵抗を付加することなく、高速動作化を害することなく、第1、第2メモリセルアレイ12a、12bでサブデータバスを共通化できる。

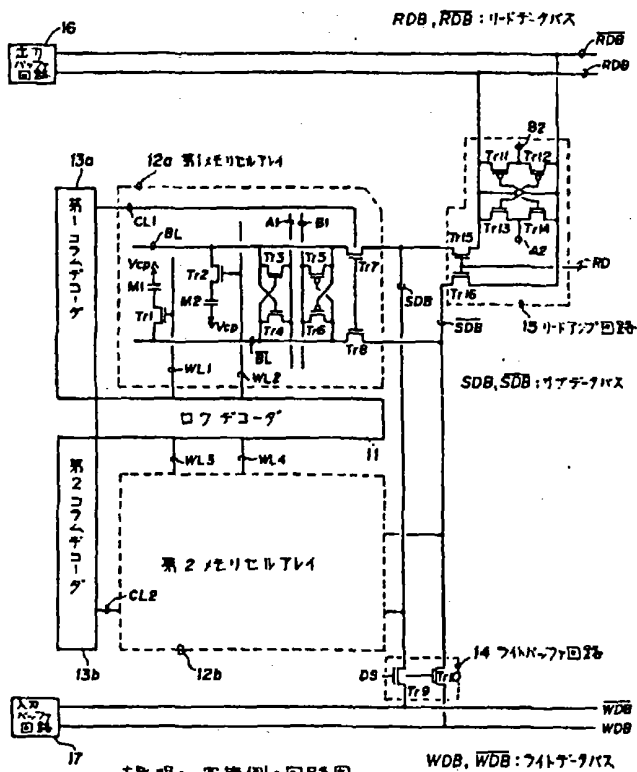
(発明の効果)

以上詳細に説明したように、この発明の半導体記憶装置によれば、複数のメモリセルアレイでサブデータベース、リードアンプ回路、ライトバッファ回路を共用しているため、これらサブデータベース、リードアンプ回路およびライトバッファ回路の数を必要最小限の一組とすることができ、半導体集積回路化する場合にパターン面積を縮小することができ、高集積化を図ることができる。また、半導体集積回路化する場合に2層アルミ配線を用いるようにしたので、高抵抗を付加することなく、高速度動作を害することなくサブデータベースを複数のメモリセルアレイで共通化できる。

4. 図面の簡単な説明

第1図はこの発明の半導体記憶装置の一実施例を示す回路図、第2図は第1図の装置の特にリード時の動作を示す波形図、第3図は従来の半導体記憶装置の回路図、第4図は第3図の装置の特にリード時の動作を示す波形図である。

11…ロウデコード、12a…第1メモリセルアレイ、12b…第2メモリセルアレイ、13a



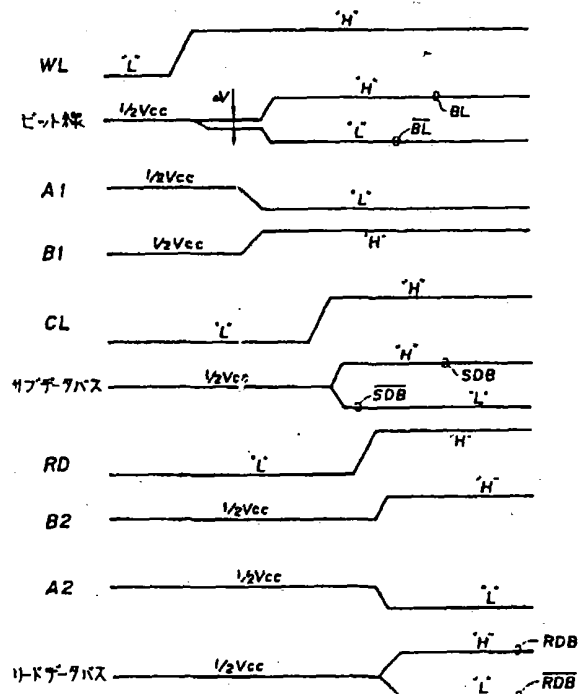
本発明の一実施例の回路図

第1図

…第1コラムデコード、13b…第2コラムデコード、SDB、SDB…サブデータベース、14…ライトバッファ回路、15…リードアンプ回路、RDB、RDB…リードデータベース、WDB、WDB…ライトデータベース。

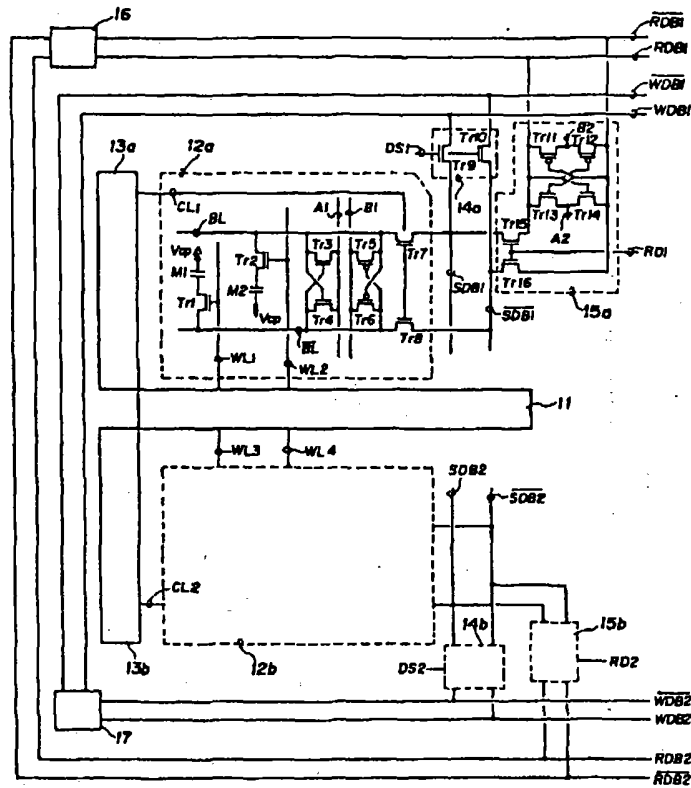
特許出願人 沖電気工業株式会社

代理人 弁理士 菊池 弘

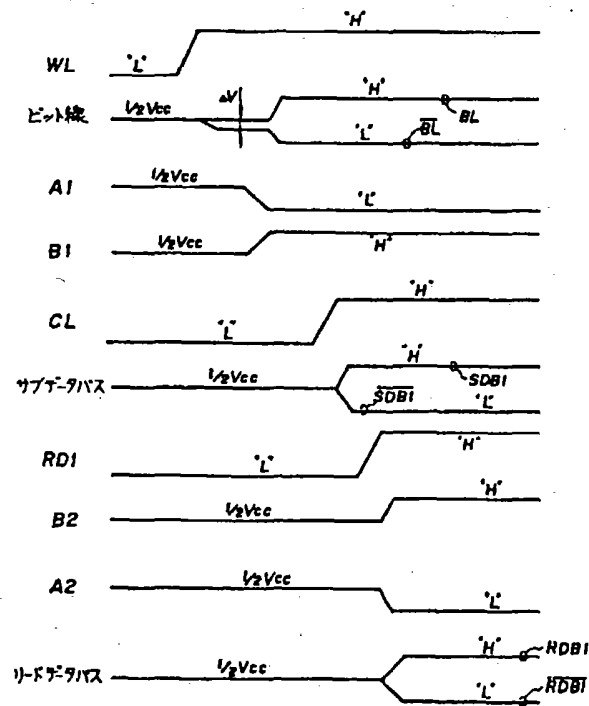


本発明の一実施例の動作波形図(リード時)

第2図



従来の回路図
第3図



従来の動作波形図 (リード時)

第4図